

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-297280

(43)Date of publication of application : 10.11.1995

(51)Int.Cl.

H01L 21/768
H01L 21/3065

(21)Application number : 06-091017 (71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 28.04.1994 (72)Inventor : MIHASHI TOSHIRO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

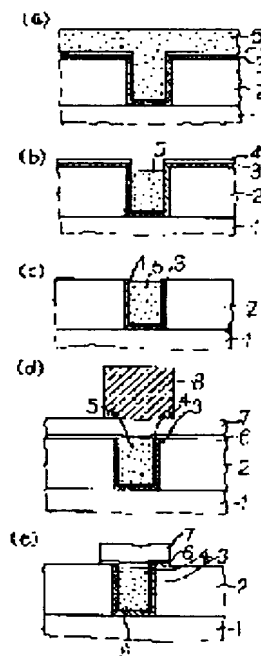
(57)Abstract:

PURPOSE: To improve wiring reliability by improving step coverage.

CONSTITUTION: An insulation film 2 is formed on the entire surface of silicon substrate 1 by the CVD method etc. Then, a resist pattern is created by the photolithography process and a contact hole is opened with the resist pattern as a mask.

Polysilicon 3, TIN 4, and W 5 are successively formed by the CVD method. The W5 is etched back on the entire surface. The TIN 4 and the polysilicon 3 are collectively etched by an etching gas Cl₂ and a pressure of 5mTorr. TIN 6 and for example Al-1% Si 7 are formed on the entire surface as a barrier metal and Al alloy,

respectively, and a resist pattern 8 which becomes an etching mask in the photolithography process is formed. After Al-1% Si 7 and TIN 6 are etched with the resist pattern 8 as a mask, the resist pattern 8 is eliminated, thus completing the formation of a wiring pattern.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-297280

(43) 公開日 平成7年(1995)11月10日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/768

21/3065

H 0 1 L 21/ 90

21/ 302

D

L

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号

特願平6-91017

(22) 出願日

平成6年(1994)4月28日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 三橋 敏郎

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

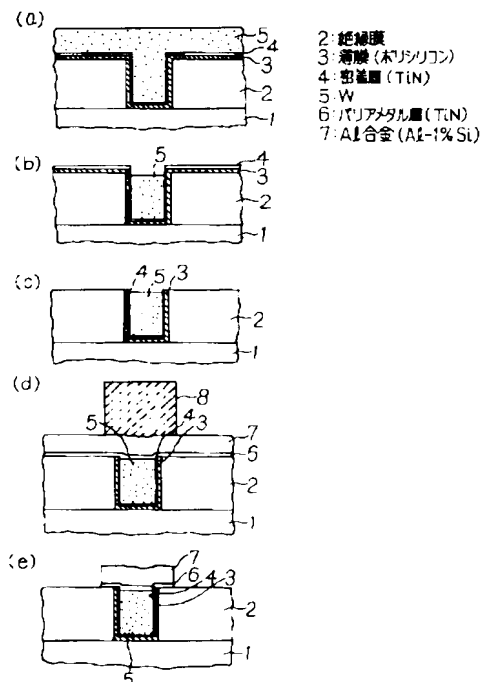
(74) 代理人 弁理士 柿本 恭成

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 ステップカバレッジを向上させ配線の信頼性を向上させる。

【構成】 シリコン基板1上にCVD法等により全面に絶縁膜2を形成する。次に、ホトリソグラフィ工程によりレジストパターンを作成し、このレジストパターンをマスクとしてコンタクトホールを開孔する。CVD法によりポリシリコン3、TiN4及びW5を順次形成する。W5を全面エッチバックする。TiN4及びポリシリコン3をエッチングガスC12、圧力5mTorrで一括してエッチングする。バリアメタルとしてTiN6、Al合金として例えばAl-1%Si7を全面に形成し、ホトリソグラフィ工程でエッチングマスクとなるレジストパターン8を形成する。レジストパターン8をマスクとしてAl-1%Si7とTiN6をエッチングした後、レジストパターン8を除去し配線パターンの形成を終了する。



本発明の第1の実施例の半導体装置の製造方法

【特許請求の範囲】

【請求項1】 半導体基板上に形成された絶縁膜にコンタクトホールを開孔する工程と、
前記コンタクトホール内にタングステンを埋め込む工程と、
前記タングステン上に配線を形成する工程と、
を有する半導体装置の製造方法において、
前記半導体基板上に形成された絶縁膜にコンタクトホールを開孔した後、タングステン及び前記絶縁膜に対して高いエッチング比でエッチング可能な薄膜を形成する工程と、
前記薄膜上に密着層を形成する工程と、
前記コンタクトホールが完全に埋まるようにタングステンを全面に形成する工程と、
前記密着層が残存するように前記タングステンを選択的にエッチングし前記コンタクトホール内にタングステンを埋め込む工程と、
前記絶縁膜上の密着層を選択的にエッチングする工程と、
前記絶縁膜上の薄膜を選択的にエッチングする工程と、
前記タングステン上に配線を形成する工程と、
を順に施すことを特徴とする半導体装置の製造方法。
【請求項2】 半導体基板上に形成された絶縁膜にコンタクトホールを開孔する工程と、
前記コンタクトホール内にタングステンを埋め込む工程と、
前記タングステン上に配線を形成する工程と、
を有する半導体装置の製造方法において、
前記半導体基板上に形成された絶縁膜上にタングステン及び前記絶縁膜に対して高いエッチング比でエッチング可能な薄膜を形成する工程と、
前記絶縁膜にコンタクトホールを開孔する工程と、
全面に密着層を形成する工程と、
前記コンタクトホールが完全に埋まるようにタングステンを全面に形成する工程と、
前記密着層が残存するように前記タングステンを選択的にエッチングし前記コンタクトホール内にタングステンを埋め込む工程と、
前記絶縁膜上の密着層を選択的にエッチングする工程と、
前記絶縁膜上の薄膜を選択的にエッチングする工程と、
前記タングステン上に配線を形成する工程と、
を順に施すことを特徴とする半導体装置の製造方法。
【請求項3】 前記薄膜の端部がテーパ形状となるコンタクトホールを開孔することを特徴とする請求項2記載の半導体装置の製造方法

【発明の詳細な説明】

【00001】

【発明の利用分野】本発明は、コンタクトホール内にタングステンを埋め込み、このタングステン上に配線を

形成する半導体装置の製造方法に関するものである

【00002】

【従来の技術】従来、このような分野の技術としては、例えば、次のような文献に記載されるものがある。文献「日経マイクロデバイス、59〔5〕、1990年、P. 41-53

以下、タングステン（W）を全面エッチングすることによってコンタクトホール内に埋め込む従来の方法について説明する。まず、シリコン基板上に絶縁膜を形成し、この絶縁膜上に開口径0.8 μ mのコンタクトホールを形成し、スパッタ法により絶縁膜との密着層として膜厚100nmのTiNを形成する。このTiNは密に形成するWの剥離防止を目的とするものである。その後、化学的气相成長法（以下、CVD法と呼ぶ）により、膜厚800nmのWを形成する。これによりコンタクトホールがWによって完全に埋まる。その後、以下のエッチング条件で全面エッチングすることによりW及びTiNを順次エッチングしコンタクトホール内にWを埋め込む。

	ガス種	圧力
Wのエッチング	SF ₆	5mTorr
TiNのエッチング	Cl ₂	5mTorr

次に、スパッタ法により、TiN等によりバリアメタル層、Al-1%Si等によりAl合金を形成する。その後、ホトリソグラフィ工程によりエッチングマスクとなるレジストパターンを形成し、レジストパターンをマスクとしてドライエッチング法によりAl合金とバリアメタルをエッチングし、レジストパターンを除去してAl合金の配線パターンを形成する。

【00003】

【発明が解決しようとする課題】しかしながら、従来のタングステンのコンタクトホール埋め込み方法においては、次のような課題があった。

1 下地の絶縁膜に段差を有する場合には、配線がショートすることを防ぐためにW及びTiNが絶縁膜上に残らないようにWのオーバーエッチを行う必要があり、そのためにコンタクトホール内のWプラズマがロスするため、次のAl合金を形成する際にステップカバレージが悪化し、配線の信頼性が得られないという問題点があった。

2 密着層TiNがコンタクトホールのコーナー部でオーバーハング形状となり、この影響でコンタクトホール内にWが十分に埋め込まれず、コンタクトホール内に空洞（以下、「すき」と呼ぶ）が発生し、そのためWをエッチバックする際シリコン基板までもエッチングしてしまうという問題点があった。

【00004】

【課題を解決するための手段】第1の発明は、前記課題を解決するために、半導体基板上に形成された絶縁膜にコンタクトホールを開孔する工程と前記コンタクトホー

【天地：男】

図2は、本発明の第2の実施例の半導体装置の製造方法を示す工程図である。図2 a の工程

シリコン基板11上にCVD法等により全面にシリコン酸化膜等の絶縁膜12、薄膜として膜厚150nmのポリシリコン13を順次形成した後、ホトリソグラフィ工程によりコンタクトホールのエッチングマスクとなるレジストパターン14を形成する。図2(b)の工程

レジストパターン14をマスクとしてドライエッチング法により、ポリシリコン13、絶縁膜12をエッチングしコンタクトホールを開孔した後、レジストパターン14を除去する。コンタクトホール内にはポリシリコン13が形成されていないのでコンタクトホールの底の大きさを狭めることはない。その後、スパッタ法により密着層として膜厚100nmのTiN15とCVD法により膜厚800nmのW16を順次形成する。この時、TiN15がシリコン基板11に直接接触する。図2(c)の工程

有磁場マイクロ波プラズマエッチング装置を用いて、エッチングガスSF₆、圧力5mTorrで、W16を全面エッチバックしコンタクトホール内にW16を埋め込む。この時コンタクトホールに埋め込まれるW16のプラク量はポリシリコン膜13の膜厚分だけ従来の方法よりも多くなり、W16表面の位置が従来の方法よりも絶縁膜12表面に対して高くなる。図2(d)の工程

TiN14及びポリシリコン13をエッチングガスC12、圧力5mTorrで一括してエッチングする。このとき、C12でエッチングするためW16は殆どエッチングされない。その結果、コンタクトホールに埋め込まれるW16表面はポリシリコン膜13の膜厚分だけ従来の方法よりも絶縁膜2表面に対して高くなり、コンタクトホール内のW16のコス量が低減される。図2(e)の工程

スパッタ法によりバリアメタル層としてTiN17、Al合金として例えばAl-1%Si18を全面に形成した後、ホトリソグラフィ工程でエッチングマスクとなるレジストパターン19を形成する。

【0008】図2(f)の工程

ドライエッチング法によりレジストパターン19をマスクとしてAl-1%Si18とTiN17をエッチングした後、レジストパターン19を除去し配線パターンの形成を終了する。以上説明したように、本第2の実施例では、第1の実施例と同様の利点がある上に、絶縁膜12上にポリシリコン13を形成した後、コンタクトホールを開孔し、コンタクトホール内にポリシリコン13を形成しないようにしたので、コンタクトホールの開口部を狭めることがなく微細なコンタクトホールにも適用することができるという利点があると共に、コンタクト底面にはポリシリコン13がないため、密着層15がシリコン基板11に直接接触し、コンタクト抵抗が上昇といった問題がない。

第3の実施例

図3は、本発明の第3の実施例の半導体装置の製造方法を示す工程図である。図3(a)の工程

シリコン基板21上にCVD法等により全面にシリコン酸化膜等の絶縁膜22、薄膜として膜厚150nmのポリシリコン23を順次形成した後、ホトリソグラフィ工程によりコンタクトホールのエッチングマスクとなるレジストパターン24を形成する。図3(b)の工程

レジストパターン24をマスクとして等方性エッチングによりポリシリコン23の端部がテーパー形状となるようにエッチングする。次に、絶縁膜22を異方性エッチングした後、レジストパターン24を除去しコンタクトホールを形成する。その後、スパッタ法により密着層として膜厚100nmのTiN25とCVD法により膜厚800nmのW26を順次形成する。このとき、ポリシリコン23の端部がテーパー形状であるので、TiN25がコンタクトホールのコーナー部で張り出さず、W26がコンタクトホール内に十分に埋め込まれ、“す”が発生しなくなる。

【0009】図3(c)の工程

有磁場マイクロ波プラズマエッチング装置を用いて、エッチングガスSF₆、圧力5mTorrで、W26を全面エッチバックしコンタクトホール内にW26を埋め込む。この時、コンタクトホールに埋め込まれるW26のプラク量はポリシリコン膜23の膜厚分だけ従来の方法よりも多くなり、W26表面の位置が従来の方法よりも絶縁膜22表面に対して高くなる。図3(d)の工程

TiN24及びポリシリコン膜23をエッチングガスC12、圧力5mTorrで一括してエッチングする。このとき、C12でエッチングするためW26は殆どエッチングされない。その結果、コンタクトホールに埋め込まれるW26表面はポリシリコン膜23の膜厚分だけ従来の方法よりも絶縁膜22表面に対して高くなり、コンタクトホール内のW26のコス量が低減される。図3(e)の工程

スパッタ法によりバリアメタルとしてTiN膜27、Al合金として例えばAl-1%Si28を全面に形成した後、ホトリソグラフィ工程でエッチングマスクとなるレジストパターン29を形成する。図3(f)の工程

ドライエッチング法によりレジストパターン29をマスクとしてAl-1%Si28とTiN27をエッチングし、その後レジストパターン29を除去し配線パターンの形成を終了する。以上説明したように、本第3の実施例では、第2の実施例と同様の利点がある上に、ポリシリコン23がテーパー形状となるようにしたのでW26がコンタクトホール内に十分に埋め込まれ、“す”が発生

することがない。よって、W26のエッチバックの際にシリコン基板21のエッチングをなくし、半導体装置の信頼性を向上する。なお、本発明は、上記実施例に限定されず種々の変形が可能である。その変形例としては、例えば次のようなものがある。

1 図1(c)、図2(d)、又は図3(d)の工程においてポリシリコン3、13、23、TiN4、14、24を選択的にエッチングするガスとして臭素ガブF2を使用してもよい。

2 薄膜3、13、23は、W5、15、26及び絶縁膜2、12、22に対して高いエッチング比でエッチング可能であればよく、例えばTi、TiN、TiW等であってもよい。そして、TiN4、14、24と薄膜3、13、23をそれぞれ別のエッチングガスを使用して、別々にエッチングしてもよい。

【0010】

【発明の効果】以上詳細に説明したように、第1～第3の発明によれば、絶縁膜にコンタクトホールを開孔した後、タンダステン及び絶縁膜に対して高いエッチング比

でエッチング可能な薄膜を形成し、コンタクトホールにタンダステンを埋め込む。そのため、コンタクトホール内のタンダステンのロス量が低減し、配線を形成する際ステップカバレッジが向上し配線の信頼性が向上する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体装置の製造方法を示す工程図である

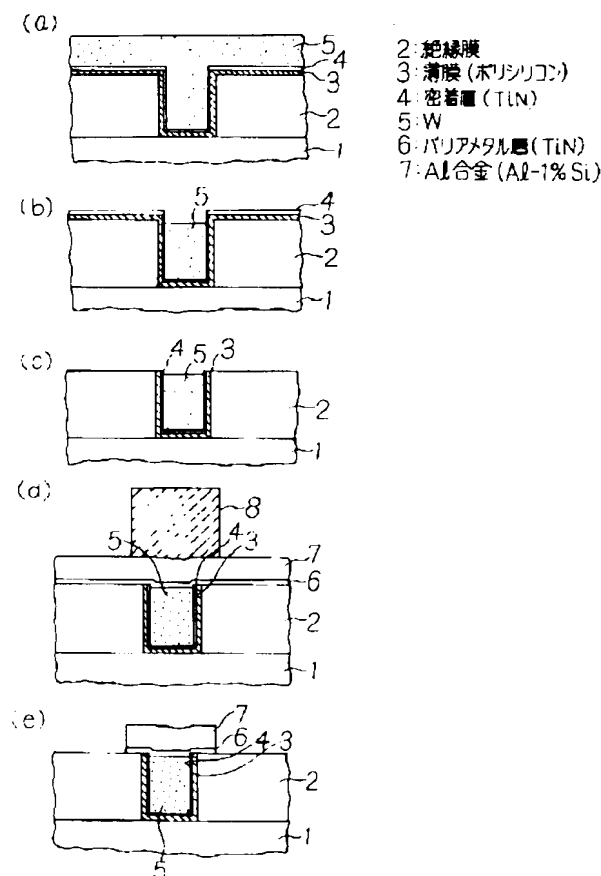
【図2】本発明の第2の実施例の半導体装置の製造方法を示す工程図である

【図3】本発明の第3の実施例の半導体装置の製造方法を示す工程図である

【符号の説明】

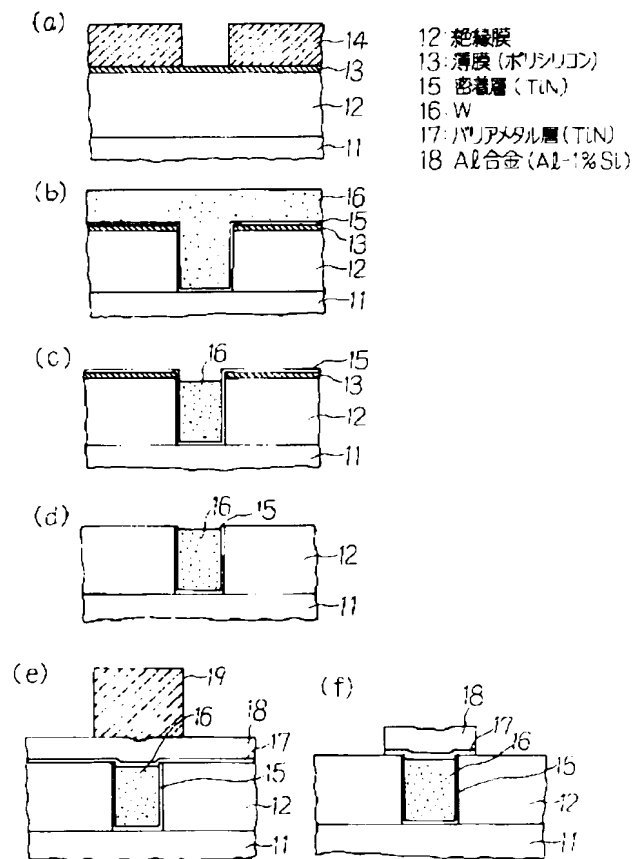
2、12、22	絶縁膜
3、13、23	薄膜(ポリシリコン)
4、15、25	密着層
5、16、26	W
6、17、27	バリアメタル層
7、18、28	Al合金

【図1】



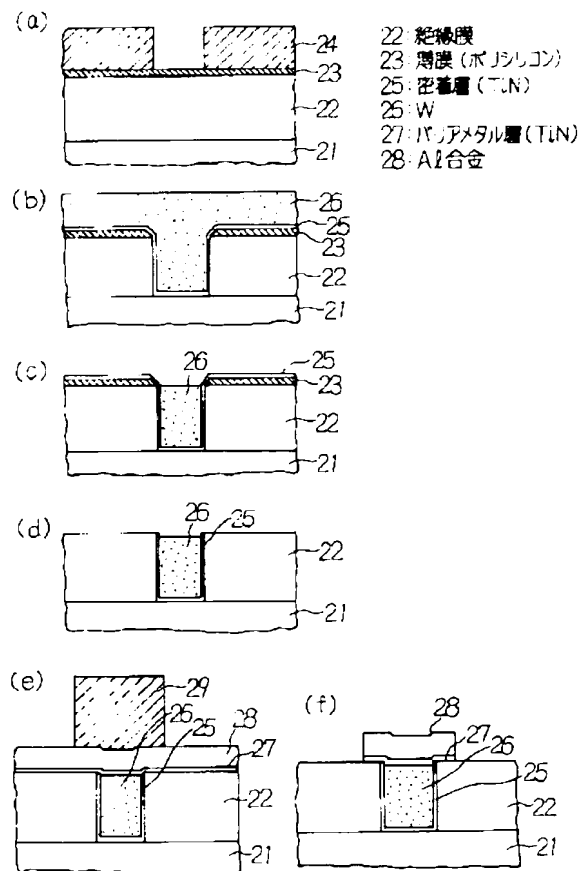
本発明の第1の実施例の半導体装置の製造方法

【図2】



本発明の第2の実施例の半導体装置の製造方法

【図3】



本発明の第3の実施例の半導体装置の製造方法